

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

?prt fu set ss 8

1/8 JAPIO - (C) JPO- image

PN - JP 2000305893 A 20001102 [JP2000305893]

TI - METHOD FOR ***ARBITRATION*** BETWEEN MASTER AND ***ARBITER*** HAVING
PCI BUS COMPATIBILITY

IN - LAI JIIN; TSAI CHAU-CHAD; YANG CHEN-PING; TSAI CHI-CHE

PA - ISEI DENSHI KOFUN YUGENKOSHI

AP - JP2000052452 20000228 [2000JP-0052452]

PR - TW99 88106503 19990423 [1999TW-0106503]

IC1 - G06F-013/36

IC2 - G06F-013/362

AB - PROBLEM TO BE SOLVED: To give an averaged delay ***time*** to individual devices issuing requests by making a heuristic inquiry initiator inform of a rotating inquiry scheduler and allowing the rotating inquiry scheduler to transmit data to a function electric circuit through the ***PCI*** bus after the ***PCI*** bus reacts to the termination of non-delay transaction.

- SOLUTION: A peripheral device 58 sends a read request and the function electric circuit 53 sends a corresponding local information signal to an investigation queue of the ***arbiter*** 52, and then the rotating inquiry scheduler 60 saves the local investigation signal in a 1st position of the investigation queue and sends it to the buffer electric circuit of the heuristic inquiry initiator 70 at the same ***time***. The buffer electric circuit, after receiving a bus information signal sent by the rotating inquiry scheduler 60, obtains the authorization of the ***PCI*** bus 56 through an arithmetic operator and sends a corresponding ***PCI*** bus information signal onto the ***PCI*** bus 56.

- COPYRIGHT: (C)2000, JPO

Requested Patent: JP2000305893A

Title: ;

Abstracted Patent: DE19956111 ;

Publication Date: 2000-10-26 ;

Inventor(s):

YANG CHEN-ING (TW); LAI JIIN (TW); TSAI CHAU-CHAD (TW); TSAI CHI-CHE
(TW) ;

Applicant(s): VIA TECH INC (TW) ;

Application Number: DE19991056111 19991122 ;

Priority Number(s): TW19990106503 19990423 ;

IPC Classification: G06F13/362 ;

Equivalents: TW413756

ABSTRACT:

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-305893
(P2000-305893A)

(43) 公開日 平成12年11月2日 (2000. 11. 2)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
G 0 6 F 13/36	5 1 0	G 0 6 F 13/36	5 1 0
13/362	5 2 0	13/362	5 2 0 B

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願2000-52452(P2000-52452)
(22) 出願日 平成12年2月28日 (2000. 2. 28)
(31) 優先権主張番号 0 8 8 1 0 6 5 0 3
(32) 優先日 平成11年4月23日 (1999. 4. 23)
(33) 優先権主張国 台湾 (TW)

(71) 出願人 599145753
威盛電子股▲ふん▼有限公司
台湾省新店市中正路533號8樓
(72) 発明者 ▲頼▼ 瑤
台湾台北市辛亥路7段69巷19號4樓
(72) 発明者 蔡 兆爵
台湾台北市南京東路五段251巷50弄5-3
號
(72) 発明者 楊 鎮平
台湾台北市南京東路五段251巷50弄5-3
號
(74) 代理人 100064908
弁理士 志賀 正武 (外7名)

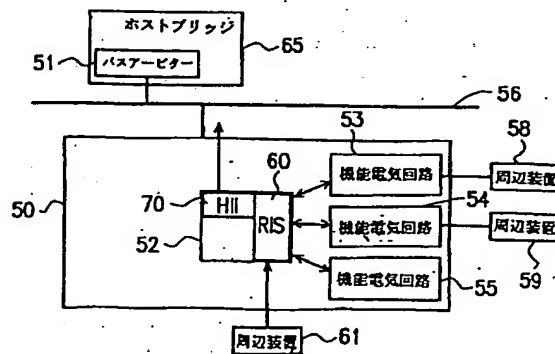
最終頁に続く

(54) 【発明の名称】 P C Iバス互換性を有するマスターおよびアービターと仲裁方法

(57) 【要約】

【課題】 P C Iバス互換性を有するマスターとアービターと仲裁方法を提供して、P C Iバスを占有する時間が長すぎて、P C Iバス使用効率に重大な低下をもたらす従来の技術の欠点を解決する。

【解決手段】 アービターが循環調査調整器および啓発式調査調整器が含まれる。機能電気回路に接続した循環調査調整器がローカル調査信号を受け取って保存し、啓発式調査調整器はローカル調査信号に対応するP C Iバス調査信号をP C Iバスに送る。P C Iバスが遅延処理完了に反応後、啓発式調査調整器が再びP C Iバス調査信号をP C Iバスへ伝送する。P C Iバス反応が非遅延処理完了時、機能電気回路はP C Iバスでデータの伝送をする。このようにP C Iバスの使用効率を高めて、P C Iバスリクエストの各機能装置に平均的な遅延時間をもたせる。



【特許請求の範囲】

【請求項1】 バス互換性を有するマスターをバスに接続して、アービターが、機能電気回路に接続した循環調査調整器、および前記循環調査調整器および前記バスに接続した啓発式調査啓動器、を含み、前記循環調査調整器が前記機能電気回路のローカル調査信号を受信して保存し、並びに前記ローカル調査信号により、バス調査信号を前記啓発式調査啓動器に送り、前記啓発式調査啓動器は前記バス調査信号により、バス調査信号を前記バスに送り、前記バスは遅延トランザクション完了後に反応して、前記啓発式調査啓動器が前記バス調査信号を再び前記バスへ伝送し、前記バスが遅延トランザクション完了に反応後、前記啓発式調査啓動器は再び前記バス調査信号を前記バスへ伝送して、前記バスの反応並びに非前記遅延トランザクション完了時、前記啓発式調査啓動器は前記循環調査調整器に通知して、前記循環調査調整器は前記機能電気回路にバスでデータ伝送を行わす、のを特徴とするバス互換性を有するマスターのアービター。

【請求項2】 上記循環調査調整器が調査キューおよび反応キューを含み、上記循環調査調整器は上記機能電気回路の上記ローカル調査信号を受信後、それを前記調査キューに保存し、上記循環調査調整器は上記ローカル調査信号により、上記バス調査信号を上記啓発式調査啓動器に送り、上記啓発式調査啓動器は上記バス調査信号により、上記バスの授権を取得して、上記バス調査信号を上記バスに送る時、上記循環調査調整器は前記調査キューに保存した上記ローカル調査信号をクリアして、前記反応キューに送って保存するのを特徴とする請求項1記載のバス互換性を有するマスターのアービター。

【請求項3】 上記啓発式調査啓動器が、上記循環調査調整器に接続して、上記バス調査信号を受信して一時保存し、上記バス調査信号により上記バス調査信号を上記バスに送る緩衝電気回路と、遅延時間値を保存するレジスター、および上記緩衝電気回路および上記レジスターに接続した計時器、を含み、前記計時器が上記遅延時間値により、通知信号を上記緩衝電気回路に発して、上記緩衝電気回路に通知し、再び上記バス調査信号を上記バスまで送る、のを特徴とする請求項1記載のバス互換性を有するマスターのアービター。

【請求項4】 上記緩衝電気回路がアドレスキャッシュメモリと演算器を含み、前記アドレスキャッシュメモリが上記バス調査信号のアドレスデータに快速アクセスして、前記演算器は前記アドレスキャッシュメモリの前記アドレスデータと前記循環調査調整器が送ってき

た上記バス調査信号から二者択一し、上記バス調査信号を上記バスに送るのを特徴とする請求項3記載のバス互換性を有するマスターのアービター。

【請求項5】 バス互換性を有するマスターをバスに接続して、仲裁方法が、複数の機能電気回路を提供して、前記機能電気回路が複数のローカル調査信号を提供して、前記バス上でのデータ伝達をリクエストして、順番に前記ローカル調査信号を保存して、前記ローカル調査信号により、複数のバス調査信号を送り出して、前記バス調査信号により、複数のバス調査信号を前記バスに送り、前記バスが遅延トランザクション完了後に反応して、再び前記遅延トランザクション完了に対応する前記バス調査信号を前記バスに送り、そして、前記バスの反応並びに非前記遅延トランザクション完了時に反応して、対応の前記機能電気回路に、前記バス上でデータ伝送させる、ステップを含む、のを特徴とするバス互換性を有するマスターの仲裁方法。

【請求項6】 遅延時間値を提供して、上記バスが上記遅延トランザクション完了後に反応して計時を開始して、そして時間が上記遅延時間値に達した時、再び上記遅延トランザクション完了に対応する上記バス調査信号を上記バスに送る、ステップを更に含む、のを特徴とする請求項5記載のバス互換性を有するマスターの仲裁方法。

【請求項7】 提供する上記遅延時間値の方法が、上記遅延時間値を遅延時間予定値と等しくして、上記バスの反応並びに上記非遅延トランザクション完了で、上記遅延時間値が遅延時間予定値より大きい時、上記遅延時間値を上記遅延時間値から遅延減少相差値を引いたものにして、そして上記バスが再び上記遅延トランザクション完了時に反応して、上記遅延時間値を遅延時間値に遅延増加相差値を加えたものにする、のを特徴とする請求項5記載のバス互換性を有するマスターの仲裁方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はアービター (Arbiter) およびその仲裁方法に関し、特にPCIバス上の反応が遅延トランザクション完了 (Delay Transaction Termination) 後、PCIバス調査信号を再びPCIバスのマルチ機能マスター (Master) への伝送、及びアービターと仲裁方法に関する。

【0002】

【従来の技術】図1において、中央処理装置10は、ホストブリッジ12によりPCIバス14へ接続する。図示のグラフィックインターフェイス (graphic adapter) 16a、エキスパンション・バスブリッジ (expansi

on bus bridge) 16 b、LANアダプター (LAN adapter) 16 c、SCSIインターフェイス (SCSI host bus adapter) 16 dなどの、多数個PCI互換性を有する周辺装置のマスター (master) は、PCIバス14と接続する。各マスターはリクエスト信号 (request, REQ) を送り出して、PCIバス14使用をリクエストする。ホストブリッジ12のバスアービター (arbiter) は同意信号 (grant, GNT) をマスターに送り、PCIバス14使用に同意する。

【0003】PCI対応装置 (例えばマスターやコンピューターチップセットのノースブリッジなど) 間のデータ伝送は主に下記のインターフェイス制御信号で制御する。周期フレーム (cycle frame, FRAME) はイニシエーター (マスター或いはノースブリッジ) から送り出して、読み書き操作の開始と持続期間を指示する。FRAME信号が送り出される時、PCIバスのデータ・トランザクション (transaction) 開始を表して、FRAME信号はロウ・ポテンシャル (low potential) を維持して、データ・トランザクション進行の持続を表す。この時、アドレスバスADはアドレス周期期間に有効アドレス (valid address) を送り出して、同時にCBE (command/byte enable, [3:0]) 線が有効なバスコマンド (PCI規格を満たす) を送り出したターゲット装置に対してイニシエーターがリクエストするデータ・トランザクションタイプを指示する。CBE線は4バイトの番号で16種類の異なるコマンドをつくり、これはPCI規格で詳細が定義されている。送り出した有効アドレスを受けた直ぐ後に、アドレスバスADはデータを送り、この時期はデータ周期と呼ばれる。同時にCBE線で番号を送り出した後、バスコマンドのバイトエネーブル信号はデータを伝送する。FRAME信号は送り出しを停止して、これはトランザクション状態が最後のデータ伝送、或いは既にデータ伝送が完了したことを表す。イニシエーター準備完了信号 (initiator ready=IRDY) とターゲット装置準備完了信号 (target ready=TRDY) を合わせて使用し、それぞれイニシエーターとターゲット装置に既に準備完了してデータを伝送することができるのを指示する。読み取り操作を行う時、IRDY信号はイニシエーターがデータ受取準備完了したことを表す。また書入れ操作を進める時、TRDY信号はターゲット装置のデータ受け取りが準備完了できたことを表す。停止信号 (stop, STOP) は、ターゲット装置がイニシエーターに現在のデータ・トランザクションを停止するようにリクエストするのを指示する。

【0004】図2に示すように、PCIバスがデータ伝送実行かつ完了する期間をバス・トランザクション (bus transaction) 周期20と呼び、それはアドレス周期 (address phase) 22と数個のデータ周期 (data phase) 24 a, 24 b, 24 cとを含む。各データ周期24 a, 24 b, 24 cはまた、それぞれ待ち周期 (wait

cycle) 26 a, 26 b, 26 cとデータ伝送周期 (data transfer cycle) 28 a, 28 b, 28 cとに区別される。続いて、図2のタイミング図により、読み取り操作を通じてPCIシステム操作および前述したPCI規格制御信号の作用を簡単に説明する。

【0005】周期T1の時、イニシエーターがFRAME信号を送り出して、データ伝送が開始されることを表して、ADバスでスタートアドレス (start address) を送り出したターゲット装置を指定すると同時に、CBE線において読み取りコマンドを送り出す。送り出した読み取りコマンドの直ぐ後に、CBE線がバイトエネーブル (byte enable) 信号を送り出すが、このバイトエネーブルを通じ信号はデータ周期期間全体 (24 a, 24 b, 24 cを含む) を通じて送り出され続ける。周期T2の時、イニシエーターが準備完了信号IRDYを送り出して、データの送受が開始できることを表すが、この時、ターゲット装置が準備完了をすることができておらず、この時期をデータ周期24 aの待ち周期26 aとして、イニシエーターはターゲット装置がデータを準備完了するのを待つものである。周期T3の時、ターゲット装置は既に準備を完了して準備完了信号TRDYを送り出すため、IRDYおよびTRDY信号がいずれも送り出されるデータ伝送周期28 a期間において、イニシエーターがターゲット装置からデータを読み取り。ターゲット装置は、周期T4にTRDY信号の送り出しを完了して、データ伝送が完了したことを表すと同時に、第2回分のデータの準備を開始するが、この時はデータ周期24 bの待ち周期26 bである。周期T5の時、TRDYが再び送り出されて、データが既に準備完了となったことを表すと同時に、IRDYおよびTRDY信号がいずれも送り出されるデータ伝送周期28 bの期間に、イニシエーターがターゲット装置からデータを読み取り。イニシエーターのデータ読み取りが間に合わない時、イニシエーターは周期T6でIRDY信号の送り出しを完了するが、この時にTRDY信号を送り出しているため、この待ち周期26 cはイニシエーターにより発動されるものである。イニシエーターが準備完了するのを待って、周期T7に再びIRDY信号を送り出すが、この時はIRDYならびにTRDY信号がいずれも送り出されるデータ伝送周期28 c期間であり、イニシエーターがターゲット装置からデータを読み取り、読み取り操作を完了する。

【0006】従来の技術では、どんな特定のバス周期中でも、ただ一個のマスターだけがバスを通して通信することができた。このため、マルチ機能マスターの各機能装置は、バスを利用してデータを伝達する前に、必ず先にマスターがリクエストしてバス制御権 (use privilege) を受け取る。しかし比較的簡単なシステムのマルチ機能マスターは、それが有する機能装置がデータ・トランザクションを終わらせる以前に、バス制御権をリリー

スしなかった。

【0007】図3と図4に示すように、PCIバス40に接続したマスター30の内部には、アービター32と数個の異なる機能の機能電気回路34、36、38が含まれていた。アービター32とバスアービター31は異なり、バスアービター31はマスター30とPCIバス40に接続したその他のマスター（図では省略）を仲裁して、PCIバス40使用の授権を受け取り、アービター32は機能電気回路34、36、38を仲裁して、マスター30を使用する権利を与える。例えば、マスター30はバスアービター31の授権を獲得する時、ある機能電気回路は必ずアービター32の授権を獲得して、アービター32を通してPCIバス40を使用する。

【0008】機能電気回路34と機能電気回路36はそれぞれ通信インターフェイス、基本入出力機能インターフェイス等の周辺接続インターフェイスの制御電気回路などを含み、それぞれ周辺装置33と周辺装置35に接続する。例えばデジタル信号処理器(DSP)などのように、機能電気回路38をマスター30内部に配置して、特定機能を独自に完成する。その他、周辺装置42を直接にアービター32と組み合わせ、機能電気回路を通して信号を制御或いは変換をする必要をなくし、それをマスター30のアービター32に直接接続して、信号を直接にアービター32に送り出す。

【0009】従来の技術は、周辺装置33が読み取りリクエストを発する時、機能電気回路34がリクエスト信号(request)をアービター32へ発して、もしアービター32が機能電気回路34のリクエストに同意すると、続いてマスター30（アービター32）がリクエスト信号をバスアービター31に送り出す。この時、その他のマスターがPCIバス40を使用していないと、バスアービター31は同意信号をマスター30（アービター32）に送り、そのPCIバス40使用に同意する。その後、アービター32は同意信号（図4で示すAなど）を送り出して機能電気回路34に与え、その後、機能電気回路34はアービター32を通して、リクエスト信号をPCIバス40に送り、リクエストデータの反応を待つ。この時、もし機能電気回路38と周辺装置42が順番にPCIバス40の使用をリクエストすると、PCIバス40は今まで機能電気回路34により使用されているため、必ず機能電気回路34はそれがリクエストするデータを完全に受け取るのを待った後、機能電気回路38と周辺装置42は上述したように、順番にPCIバス40使用が認められる。

【0010】機能電気回路34がリクエストするデータが準備完了された時、機能電気回路34はPCIバス40からそのリクエストデータ接收を開始して、並びにそれを周辺装置33まで伝送する。機能電気回路34は、図4のTAが示すように、PCIバス40の時間を占有して、PCIバス40上の実際のデータのトランザクシ

ョン時間はTA1となる。そのため図示するように、約半分のバス占有時間は浪費されていた。

【0011】機能電気回路34がそのリクエストデータの接收を完了した後、バスアービター31がマスター30の授権を停止しないとすると、PCIバス40の使用授権は依然としてマスター30である。さもないとアービター32は上述のデータリクエストの動作を継続し、続いて機能電気回路38のリクエストに同意して、上述機能電気回路34のデータ・トランザクション方式によりデータを獲得する。その後、アービター32は周辺装置42がPCIバス40を使用することに同意して、それがリクエストするデータを獲得させる。図4のTBとTCはそれぞれ機能電気回路38と周辺装置42がPCIバス40を占有する時間を表して、TB1とTC1はそれぞれ機能電気回路38と周辺装置42の実際のデータ・トランザクション時間を表す。リクエスト提出した機能電気回路がリクエストデータを取得するまで待った後、もしその他の機能電気回路がPCIバス40使用をリクエストしないと、マスター30はPCIバス40の使用権限をリリースして、その他の接続するマスターに使用を提供する。

【0012】図4に示すように、機能電気回路34、38と周辺装置42が占有するPCIバス40の使用総時間をTとすると、その約半分だけがPCIバス40のアクティブ時間(active time)で、PCIバス40の実際の伝達データ時間は浪費されて、PCIバス40の使用効率を大幅に低下させた。この他、従来のPCIバス上のターゲット装置(Target)、特に一般負担バスアービター機能のホストブリッジは、マルチ遅延(Multi-delay)機能を具する。もしそれを提供したパイプライン(pipeline)機能（同時に多個コマンド動作を処理する）のDRAMに應用すると、マルチ遅延トランザクション機能のホストブリッジは機能をより有効に発揮する。そのため、上述した従来の方式によると、PCIバスのアクティブ時間をたくさん浪費するだけでなく、各機能電気回路或いは周辺装置が、必ず順番にバス使用を待たなければならなかった。そのため機能電気回路或いは周辺装置は、短時間だけバスを使用する必要がある時でも、必ず長い時間順番待ちする必要があり、PCIシステムの全体機能を低下させた。そのため従来のマスターのアービターおよび仲裁方法は改善の必要性があった。

【0013】

【発明が解決しようとする課題】そこで、この発明の第1の目的は、PCIバス互換性を有するマスターおよびアービターと仲裁方法を提供して、PCIバスを占有する時間が長すぎて、PCIバス使用効率に重大な低下をもたらす従来の技術の欠点を解決することである。この発明の第2の目的は、PCIバス互換性を有するマスターおよびアービターと仲裁方法を提供して、マスターの

マルチ機能装置に同時に個別のデータアクセスのリクエストをPCIバスに送り出させ、予め準備完了したデータに対応した機能装置に、機会があるとPCIバスを利用してデータアクセスさせる。そして、PCIバスをリクエストする各装置に比較的平均な遅延時間を与えて、PCIシステム全体の機能を向上させることにある。

【0014】

【課題を解決するための手段】上記課題を解決し、所望の目的を達成するために、この発明はPCIバス互換性を有するマスターおよびアービターを提供する。マスターは機能電気回路とアービターを含んで、機能電気回路はローカル調査信号(local inquiry signal)を発してアービターに送り、PCIバスでのデータ伝送をリクエストして、アービターは循環調査調整器(Rotating Inquiry Scheduler=RIS)および啓発式調査啓動器(Huristic Inquiry Initiator=HII)が含まれる。機能電気回路に接続した循環調査調整器がローカル調査信号を受け取って保存して、ローカル調査信号によりバス調査信号を啓発式調査啓動器に送り、啓発式調査啓動器はバス調査信号により、PCIバス調査信号をPCIバスに送る。PCIバスが遅延トランザクション完了に反応後、啓発式調査啓動器は再びPCIバス調査信号をPCIバスに送る。PCIバス上の反応が非遅延トランザクション完了時、啓発式調査啓動器は循環調査調整器に通知して、循環調査調整器は機能電気回路にPCIバス上でデータ伝達をさせる。

【0015】上述の循環調査調整器には最低、調査キューと反応キューが含まれる。循環調査調整器は機能電気回路のローカル調査信号を受け取った後、それを調査キューへ保存する。その後、循環調査調整器はローカル調査信号により、バス調査信号を啓発式調査啓動器に送る。啓発式調査啓動器はバス調査信号により、PCIバスの授權を取得する。PCIバス調査信号をPCIバスに送る時、循環調査調整器が調査キューへ保存したローカル調査信号をクリアーして、其れを反応キューへ転送して保存する。PCIバスの反応が非遅延トランザクション完了時、循環調査調整器は反応キューに保存したローカル調査信号により、必要なデータルート(data transmission route)をつくり、機能電気回路にPCIバス上でデータを伝達させ、反応キュー中に置いたローカル調査信号をクリアーする。

【0016】上述した啓発式調査啓動器には緩衝電気回路、レジスター及び計時器が含まれる。循環調査調整器に接続した緩衝電気回路はバス調査信号を受け取り一時的に保存して、バス調査信号によりPCIバス調査信号をPCIバスに送る。緩衝電気回路とレジスターに接続した計時器は、レジスターに保存した遅延時間値により通知信号を発して緩衝電気回路に与え、緩衝電気回路へ通知して再びPCIバス調査信号をPCIバスに送り出す。上述緩衝電気回路はアドレスキャッシュと演算器を

含む。アドレスキャッシュはバス調査信号内のアドレスデータに快速アクセスして、演算器はアドレスキャッシュに保存したアドレスデータ或いは循環調査調整器がたつたまま送ってきたバス調査信号により、PCIバス調査信号をPCIバスに送り出す。

【0017】上述啓発式調査啓動器は複数組の相対応する緩衝電気回路、レジスターおよび計時器を含む。同時に複数個のバス調査信号を処理して、啓発式調査啓動器は更に演算器を具する。この演算器はこれら緩衝電気回路に接続して、これらPCIバス調査信号により、順番にPCIバス調査信号をPCIバスに送り出す。上述した啓発式調査啓動器が遅延時間値を設定する方法は、下記のステップを含む。まず遅延時間値を予め設定した遅延時間予定値と同じにする。そして、計時器は通知信号を緩衝電気回路に発して、緩衝電気回路に通知して再びPCIバス調査信号をPCIバスに送り出す。その後、PCIバス上の反応並びに非遅延トランザクション完了で、遅延時間値が遅延時間予定値時より大きい時、新しい遅延時間値を今までの遅延時間値から遅延減少相差値(delay decrement)を引いたものにする。PCIバスがもう一度、遅延トランザクション完了時に反応、新しい遅延時間値を今までの遅延時間値に遅延増加相差値(delay increment)を加えたものにする。

【0018】上記課題を解決し、所望の目的を達成するために、この発明は更にPCIバス互換性を有するマスターの仲裁方法を提供して、それは下記のステップが含まれる。先に複数個の機能電気回路を提供して、これら機能電気回路は複数個のローカル調査信号を発して、PCIバス上のデータ伝送をリクエストする。続いて、順番にこれらローカル調査信号を保存して、これらローカル調査信号により複数個のバス調査信号を送り出す。再びこれらバス調査信号により、複数個のPCIバス調査信号をPCIバスに送る。その後、PCIバス上の反応が遅延トランザクション完了後、再びこの遅延トランザクション完了に対応するPCIバス調査信号をPCIバスに送る。PCIバス上の反応並びに非遅延トランザクション完了時、対応する機能電気回路はPCIバス上でデータを伝達する。

【0019】上述したPCIバス互換性を有するマスターの仲裁方法は、更に下記のステップが含まれる。まず遅延時間値を提供する。PCIバスが遅延トランザクション完了に反応後、計時を開始する。時間がこの遅延時間値に達した時、再びこの遅延トランザクション完了に対応するPCIバス調査信号をPCIバスに送る。遅延時間値を提供する方法は下記のステップが含まれる。まず先に遅延時間値を予め設定した遅延時間予定値と同じにする。PCIバス反応は非遅延トランザクション完了で、遅延時間値が遅延時間予定値より大きい時、新しい遅延時間値を以前の遅延時間値から遅延減少相差値(delay decrement)を引いたものにする。PCIバスが再

びもう一度、遅延トランザクション完了に対応する時、新しい遅延時間値を以前の遅延時間値に遅延増加相差値 (delay increment) を加えたものにする。

【0020】この発明が提供するPCIバス互換性を有するマスターおよびアービターと仲裁方法は、マスターのマルチ機能装置のバスリクエストを仲裁して、同時に個別機能装置のデータアクセスリクエストをPCIバスに送り出す。並びに再びPCIバス調査信号をバスへ伝送する。マルチ遅延トランザクション機能を具するターゲット装置を利用して、予め準備完了したデータに対応する機能装置に、機会があると先にPCIバスを利用してデータを送信して、PCIバスのアクティブ時間を増加させる。そして各機能電気回路に平均的な遅延時間を持たせて、PCIバスの使用効率を大幅に向上させる。

【0021】

【発明の実施の形態】以下、この発明にかかる好適な実施形態を図面に基いて説明する。PCIバス協定規格 (例えばバージョン2.1) 中において、遅延トランザクション (delayed transaction) と呼ばれるデータ・トランザクション方法がある。いわゆる遅延トランザクションはターゲット装置が、PCI規格 (PCI specification) の定義の下で、初期データ周期 (initial data phase) 内にデータ伝送を完了することができない時に採用する操作プログラムである。主に遅延トランザクション操作には、入力/出力制御器 (I/O controller) とブリッジ (bridge) という2種類の装置が使用される。一般に、入力/出力制御器は、1度に1つだけの遅延トランザクション操作を処理することしかできないが、ブリッジは、マルチ遅延トランザクション (multiple delayed transaction) を行って、システム効率を向上させることができる。

【0022】従来の遅延トランザクション操作手順は3つの周期が含まれていた。1. マスターがPCIバスでターゲット装置アクセスへのリクエストを発したターゲット装置がこのリクエストを記憶した後、ターゲット装置はPCIバス上でリトライを具する目標起動完了 (Target Initiated Termination with Retry) を開始する。これは遅延トランザクション完了 (Delay Transaction Termination) ともよばれ、主動的にこのリクエストを完了させる。2. ターゲット装置はマスターが発するリクエストを準備完了する。3. マスターは主動的にもともとアクセスしていたターゲット装置のリクエストを新たに発して、データ・トランザクションを完了する。全体の遅延トランザクション進行期間、マスターは持続してPCIバス調査信号を発して、PCIバスの使用権限を占有して、同時に持続してターゲット装置に対し発して、ポーリング (polling) に似た操作を行う。

【0023】図8に示すように、周期T1の時、マスターはPCIバス使用をリクエストするリクエスト信号REQ

を送り出したターゲット装置のデータにアクセスする。周期T2の時、バスアービターを具するホストブリッジは同意信号GNTを送り出してマスターのリクエストを受け取る。周期T3の時、マスターはFRAME信号を送り出してトランザクションを開始する。同時にADバスでアドレス (address) を送り出したターゲット装置を指定し、同時にこのターゲット装置に対して読み取り命令を発する。ターゲット装置が即時にマスターのリクエストに反応できない時、ターゲット装置はマスターのリクエストする相関データを記憶する。周期T5の時、ターゲット装置は停止信号STOPを送り出して、このリクエストを完了させる。この後、周期T6の時、マスターはREQとFRAME信号を取り消して、同意信号GNTを取り消して、PCIバスはリリースされる。上述のタイミング図は遅延トランザクション完了のタイミング図である。

【0024】続いて、ターゲット装置は記憶リクエストの相関データにより、マスターが読み取るデータを準備完了して、マスターが主動的にターゲット装置アクセスのリクエスト発出を待ち、本当のデータ読み取りトランザクションを完了する。周期T17の時、マスターは再びリクエスト信号REQを送り出してPCIバス使用のリクエストをする。周期T18の時、同意信号GNTが送り出されて、マスターのリクエストを受け取る。周期T19の時、マスターはFRAME信号を送り出してトランザクションを開始する。同時にADバスに、前回と同じアドレスおよび同じ読み取りコマンドを送り出す。この時、マスターとターゲット装置はそれぞれIRDYおよびTRDY信号を駆動して、正常な読み取りトランザクションを開始する。ターゲット装置が速やかにデータ準備完了できない時、マスターは持続したターゲット装置を読み取る信号、およびPCIバスを占有する使用権限を発して、持続してポーリング (polling) に似た操作を行う。

【0025】図5に示すように、この発明が提供するPCIシステムのマスター50と従来の技術との最大の相違点は、その内部のアービター52と従来のアービター32 (図3参照) の組成および仲裁方式である。この発明のアービター52は主に循環調査調整器 (Rotating Inquiry Scheduler=RIS) 60と啓発式調査啓動器 (Heuristic Inquiry Initiator) 70で構成される。その他、この発明はPCIバス規格の遅延トランザクション機能を利用して、PCIバスのターゲット装置が遅延トランザクション機能を具し、特に一般にバスアービター51を具するホストブリッジ65は更にマルチ遅延トランザクションの機能を具する。

【0026】PCIバス56に接続したマスター50は、その内部にアービター52および最低1個の異なる機能の、例えば機能電気回路53、54、55などの機能電気回路が含まれる。そのうち、アービター52と機

能電気回路53、54、55の接続方式は、バス型式或いは各自が独立した電気回路で接続してお互いに通信する方法で、部分PCIバス規格の内部バス、或いは特殊定義のインターフェイス規格に符合する。アービター52とバスアービター51の両者は異なるもので、バスアービター51はマスター50、及びPCIバス56上に接続したその他のマスター（図では省略）を仲裁して、PCIバス56使用を授権する。アービター52は機能電気回路53、54、55を仲裁して、マスター50の資源使用の授権を与える。例えば、マスター50がバスアービター51の授権を獲得する時、ある機能電気回路は必ずアービター52の授権を獲得して、アービター52を通してPCIバス56を使用する。

【0027】機能電気回路53と54はそれぞれ通信インターフェイスを含み、基本出力機能インターフェイス等の周辺装置はインターフェイスの制御機能電気回路等と接続して、またそれぞれ周辺装置58と59に接続する。機能電気回路55をマスター50内部に配置して、例えばデジタル信号処理器（DSP）等のように、それは独自に特定機能を完了することができる。また、周辺装置61はアービター52のインターフェイス規格に符合して、機能電気回路を通して信号を制御或いは変換せずに、直接にマスター50のアービター52に接続して、直接に信号をアービター52の循環調査調整器60内に送り出す。

【0028】図5、6、7に示すように、循環調査調整器60を調査信号収集器にして、其れは最低、調査キュー（Inquiry Queue）62と反応キュー（Response Queue）64の二つの部分が含まれる。調査キュー62は機能電気回路53、54、55或いは周辺装置61のローカル調査信号（一般に目標アドレスデータのリクエスト信号が含まれる）を接收して保存する。これらローカル調査信号により、これらローカル調査信号に対応する複数のバス調査信号を順番に啓発式調査啓動器70に送る。ある状況下でバス情報信号とローカル情報信号は同じで、それは実際応用の電気回路により決まる。啓発式調査啓動器70はバス調査信号によりPCIバス56の授権を取得して、対応するPCIバス調査信号をPCIバス56に送った時、循環調査調整器60は調査キュー62に保存されているローカル情報信号をクリアして、それを反応キュー64に転送保存して、対応するデータ伝送を待つ。いったん対応するデータが反応して伝達すると、循環調査調整器60は対応する機能電気回路と適当なデータルート（transmission route）を設立してデータを伝送して、同時に反応キュー64中で、対応するローカル調査信号は削除される。

【0029】啓発式調査啓動器70は調査過程の最後のステップで、一般のリクエストイニシエーター（request initiator）と異なり、それは一つに繋がるロジック（logics）と簡単なアルゴリズム（Algorithm）システム

で構成され、数個の計時器72a～72c、レジスタ74a～74c、緩衝電気回路76a～76cと運算器78が含まれる。其のうち、各緩衝電気回路76a～76cは、アドレスキャッシュ79と運算器80等が含まれる。アドレスキャッシュ79はバス情報信号内のアドレスデータに快速アクセスでき、運算器80はアドレスキャッシュに保存したアドレスデータ、或いは啓発式情報啓動器がたった今送ってきたバス情報信号により、PCIバス情報信号をPCIバスに送り出す。各レジスタ74a～74cはターゲット装置を有する一般遅延時間（latency）予定値を保存する。計時器72a～72cはレジスタ74a～74cの遅延時間値により、通知信号を緩衝電気回路76a～76cへ発する。再びPCIバス情報信号をPCIバスに送るように通知し、リクエストデータのターゲット装置が既に準備完了されたかどうか調査する。運算器78をこれら緩衝電気回路76a～76cに接続して、緩衝電気回路76a～76cが送り出すPCIバス情報信号により、順番にPCIバス情報信号をPCIバスに送り出す。最も簡単な応用は、ただ一組だけの計時器、レジスタ及び緩衝電気回路を有し、この時、運算器78は省略することができる。同様に、ある状況下ではバス情報信号とPCIバス信号は同じものである。

【0030】例を挙げると、もし周辺装置58が読み取りリクエストを発すると、機能電気回路53は対応するローカル情報信号Aをアービター52の調査キュー62に送り、その後、循環調査調整器60はこのローカル調査信号Aを調査キュー62の第一位置M1中に保存して、並びにこのローカル情報信号Aを啓発式調査啓動器70の緩衝電気回路へ伝送する。この時、もし機能電気回路54と機能電気回路55が順番にローカル情報信号BとCを送り出すと、同様にローカル情報信号BとCは順番に調査キュー62の第二位置M2と第三位置M3中に保存され、これらの動作は、調査キュー62が満杯（full）になるまで続けられる。

【0031】啓発式調査啓動器70の第一組の計時器72a、レジスタ74a、緩衝電気回路76aを例に取ると、緩衝電気回路76aは循環調査調整器60が送るバス情報信号を受け取った後、緩衝電気回路76aは運算器78を通過してPCIバス56の授権を取得する。対応するPCIバス情報信号をPCIバス56に送信することに成功した後、循環調査調整器60は調査キュー62に保存されているローカル情報信号Aをクリアする。同時にローカル情報信号Aを反応キュー64の第一位置N1に置いて、リクエストデータの反応を待ち、PCIバス56はリリースされて、その他の装置が使用するのに提供する。

【0032】本実施形態が提出するホストブリッジ65は遅延或いはマルチ遅延トランザクション機能を具す。ホストブリッジ65が各機能電気回路データアクセスす

るターゲット装置だとすると、ホストブリッジ65はローカル情報信号Aに対応するPCIバス情報信号を受け取った後、即ちに遅延トランザクション完了の反応をして、ローカル情報信号Aに対応するデータの準備を開始する。この他、機能電気回路54と機能電気回路55が順番にローカル情報信号B、Cを送り出す時、ローカル情報信号BとCに対応するPCIバス情報信号は順番に、緩衝電気回路76bと緩衝電気回路76cでPCIバスに送られる。同様に、ローカル情報信号BとCに対応するPCIバス情報信号をPCIバス56に送るのが成功した後、調査キュー62のローカル情報信号BとCは削除され、同時にローカル情報信号BとCは反応キュー64の第二位置N2と第三位置N3に放置され、データの反応を待ち、並びにPCIバス56はリリースされてその他装置の使用に提供する。

【0033】開始時、レジスター74aは遅延時間予定値を保存して、緩衝電気回路76aがPCIバスの遅延トランザクション完了反応を感知した時、計時器72aは計時を開始する。計時器72aでレジスター74a保存の遅延時間値まで計数する時、通知信号を緩衝電気回路76aに送り出す。続いて緩衝電気回路76aは再びローカル情報信号Aに対応するPCIバス情報信号を送り出して、ホストブリッジ65はそのリクエストデータが準備完了されたかどうか調査する。第二次リクエストが成功して（即ちデータが準備完了され、PCIバスの反応が非遅延トランザクション完了）、レジスター74aの予定値は遅延時間予定値と等しく、レジスター74aが保存した値は変化しない。第二次リクエストが成功して、レジスター74aが保存する遅延時間値が遅延時間予定値よりも大きい時、レジスター74aが保存する遅延時間値は遅延減少相差値（delay decrement）を引いたものである。もし第二次リクエストが失敗だと（データがまだ準備完了されていなく、PCIバスの反応は遅延トランザクション完了）、レジスター74a保存の遅延時間値に遅延増加相差値（delay increment）を加えて、その後、再び上述した計時と情報通知方式を、リクエストデータが伝送されるまで繰り返す。

【0034】このため、啓発式調査啓動器70はPCIバス56を通して、リクエストをホストブリッジ65まで送り出す。ホストブリッジ65がデータリクエストを準備完了した時、ホストブリッジ65はPCIバスに反応し、非遅延トランザクション完了で、緩衝電気回路はこの状態を循環調査調整器60へ通知して、循環調査調整器60は反応キュー64に保存されているローカル情報信号により、必要なデータルート（data transmission route）をつくり、対応する機能電気回路にPCIバス上でデータの伝達をさせ、最後に反応キュー64にいたローカル情報信号を削除する。

【0035】上述中で、啓発式調査啓動器70は順番に各機能電気回路のリクエストをホストブリッジ65に送

り、リクエストして必要なデータ信号を対応するPCIバス情報信号の送信を完了した後、ホストブリッジ65は停止信号（STOP）を送り出して、PCIバス56をリリースして、その他の装置が使用できるように提供する。並びにホストブリッジ65はこれらのリクエストに対応するデータの準備を開始する。このため、この発明は従来の方法と異なり、必ず1つ前のリクエストが処理された後、次のリクエストを処理することができる。当然、この発明が比較的優れている点は、ホストブリッジ65がマルチ遅延トランザクション機能を具することである。

【0036】上述したことをまとめると、この発明が提供するPCIバス互換性を有するマスターの仲裁方法は下記のステップが含まれる。先に複数個の機能電気回路を提供するが、これら機能電気回路はマスター内でも、外部の周辺電気回路内にあってもよい。これら機能電気回路は複数個のローカル情報信号を発生して、PCIバスでデータ伝達をリクエストする。続いて、順番にこれらローカル情報信号を保存して、これらローカル情報信号により、対応する複数個のバス情報信号を送り出して、当然、ローカル情報信号とバス情報信号は同じでもよい。再び、一時保存並びにこれらバス情報信号により、対応する複数個のPCIバス情報信号をPCIバスに送る。その後、PCIバス上の反応が遅延トランザクション完了で、再びこの遅延トランザクション完了に対応するPCIバス情報信号をPCIバスに送り、PCIバス上のターゲット装置のデータが準備完了されたかどうか調べる。PCIバス反応並びに非遅延トランザクション完了時、ターゲット装置のデータが既に準備完了されたことを表す。この時、先に保存したこれらローカル情報信号のデータを利用して、対応する機能電気回路はPCIバス上でデータを伝達する。

【0037】上述の仲裁方法は、遅延トランザクション完了に対応するPCIバス情報信号をPCIバスへ再び伝送するステップが更に下記のステップを含む。まず先に必ず遅延時間値を提供して、この実施形態ではレジスターで読み取る。PCIバスが遅延トランザクション完了に反応後、計時を開始する。時間がこの遅延時間値に到達した時、再びこの遅延トランザクション完了に対応するPCIバス情報信号をPCIバスへ伝送する。遅延時間値の調整方法は下記のステップが含まれる。先に遅延時間値を予め設定した遅延時間予定値と同じにする（レジスターで読み取る）。PCIバスの反応は非遅延トランザクション完了で、また遅延時間値が遅延時間予定値と同じ時、遅延時間値を変えない。PCIバスの反応、並びに非遅延トランザクション完了で、また遅延時間値が遅延時間予定値より大きい時、新しい遅延時間値を、以前の遅延時間値から遅延減少相差値を引いたものにする。（新しい遅延時間値をレジスターへ保存する）。PCIバスが再び遅延トランザクション完了に反

応する時、新しい遅延時間値を以前の遅延時間値 (previous delay time) に遅延増加相減値 (delay increment) を加える。

【0038】このようにPCIバス情報信号を再びPCIバスに送る頻度を制御することにより、混雑し過ぎないようにして、PCIバスの効率が低下するのを防ぐ。或いは少なくなりすぎて、各機能電気回路がデータを持つ平均遅延が長くなりすぎるのを防ぐ。一般に、マルチマスターのPCIシステムを集中させると、マスターのデータアクセスは対応する遅延増加相減値 (delay increment) が遅延減少相減値 (delay decrement) より大きくなって更にバランスが取れる。マスターが伝達遅延に対するリクエストが比較的高い時、対応する遅延増加相減値は遅延減少相減値より小さい。

【0039】このため、複数の機能電気回路が同時にターゲット装置に対してデータをリクエストした時、機能電気回路はローカル情報信号をアービターの循環情報調整器に送る必要があるだけである。その後、その内部の啓発式情報啓動器で処理を進めて、ターゲット装置がリクエストデータを準備完了するのを待つ必要があるだけで、機能電気回路は直ちにアービターにより整理されて、其れがリクエストするデータを獲得する。従来の技術は必ずリクエストデータ伝達が完了してから、その他のリクエスト動作を行っていた。またPCIバスの占有時間は、僅かに啓発式情報啓動器のPCIバス情報信号の送り出しと、ターゲット装置とデータ等を伝達する実際の時間が含まれるだけであるためPCIバス占有の消耗総時間を大幅に減少して、PCIバスの使用効率を大幅に向上させることができる。またこの発明が提出する循環情報調整器は必ずしもキューを2個使用する必要がないが、当然2個以上でもよい。

【0040】以上のごとく、この発明を好適な実施形態により開示したが、もとより、この発明を限定するためのものではなく、当業者であれば容易に理解できるように、この発明の技術思想の範囲において、適当な変更ならびに修正が当然なされるものであるから、その特許権保護の範囲は、特許請求の範囲および、それと均等な領域を基準として定めなければならない。

【0041】

【発明の効果】上記構成により、この発明は以下の長所を具する。

(1) 同時にマルチ機能装置の個別データのアクセスリクエストをPCIバスに送り出すことができ、従来の技術のように必ず順番にPCIバス使用を待つ必要がない。この発明は遅延時間値により、ターゲット装置がリクエストデータを準備完了したかどうか繰り返して調査して、予めデータ互換性を有する機能電気回路を準備完了して、機会があるとPCIバスを利用してデータにアクセスして、各機能電気回路に平均的な遅延時間を持たせて、PCIシステムの全体機能を向上させる。

(2) PCIバスの遅延トランザクションの規格を利用して、機能電気回路のリクエスト相関データを受信した後、直ちにPCIバスをリリースして、本当にデータが伝達された時だけPCIバスを持続して占有し、PCIバスの総使用時間を減少して、PCIバスのアクティブ時間を増加させ、PCIバスの使用効率を大幅に向上させる。

(3) 従来のPCIバスと互換性を有する。従って、産業上の利用価値が高い。

【図面の簡単な説明】

【図1】 図1は、従来技術にかかる構成図である。

【図2】 図2は、従来技術にかかる、読み取り操作を進める時のシステムタイミング図である。

【図3】 図3は、従来技術にかかる、PCIシステムのマスターのチャートである。

【図4】 図4は、図3のマスターが従来の循環仲裁方式を使用してデータ伝達をする時のタイミング図である。

【図5】 図5は、この発明にかかる、PCIシステムのマスターのチャートである。

【図6】 図6は、この発明にかかるアービターの循環調査調整器のチャート図である。

【図7】 図7は、この発明にかかるアービターの啓発式調査啓動器のチャート図である。

【図8】 図8は、この発明にかかるPCIシステムの遅延トランザクション操作読み取り処理のタイミング図である。

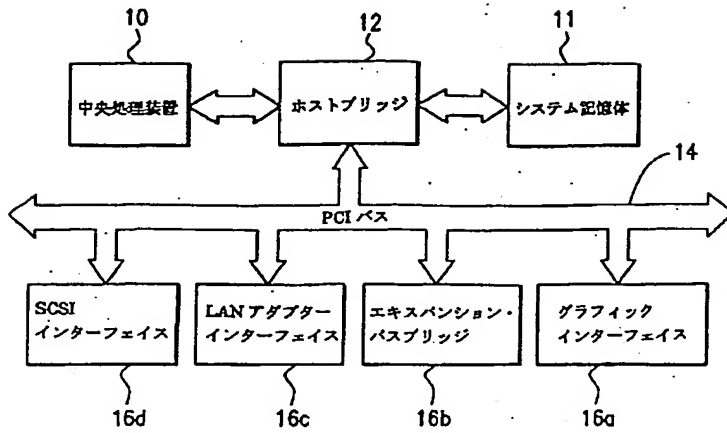
【符号の説明】

56...PCIバス
50...マスター
51...バスアービター
52...アービター
53...機能電気回路
54...機能電気回路
55...機能電気回路
58...周辺装置
59...周辺装置
61...周辺装置
60...循環調査調整器
62...調査キュー
64...反応キュー
65...ホストブリッジ
70...啓発式調査啓動器
72a...計時器
72b...計時器
72c...計時器
74a...レジスター
74b...レジスター
74c...レジスター
76a...緩衝電気回路

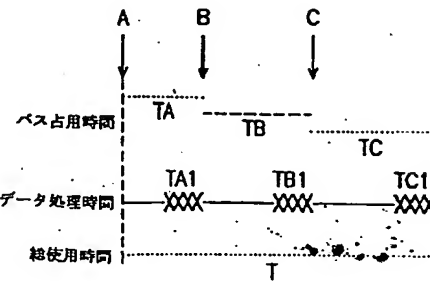
76b...緩衝電気回路
76c...緩衝電気回路
78...演算器

80...演算器
79...アドレスキャッシュ

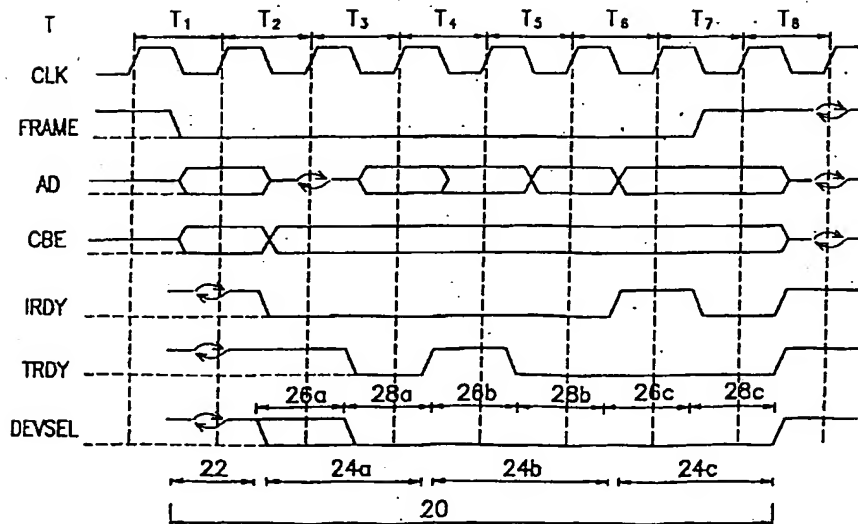
【図1】



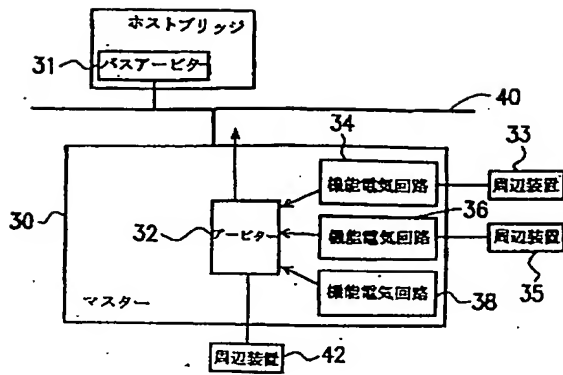
【図4】



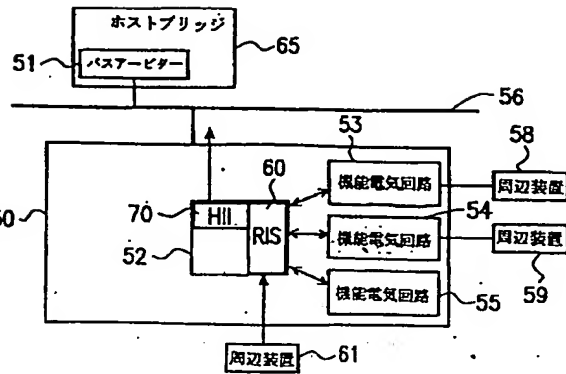
【図2】



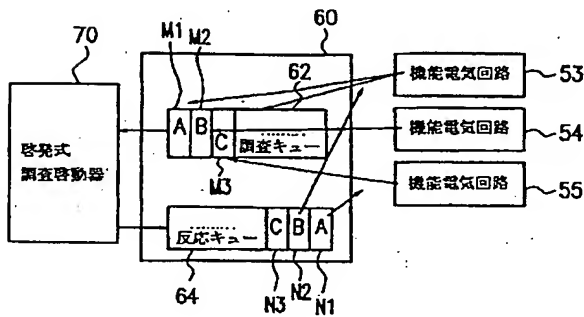
【図3】



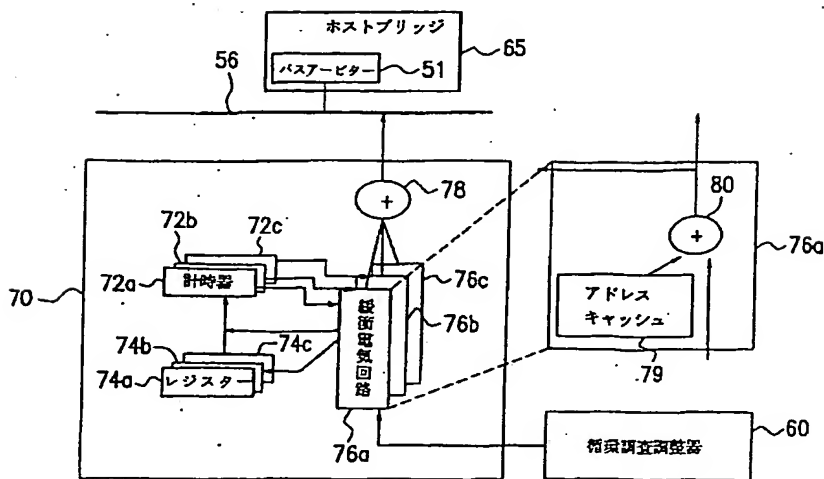
【図5】



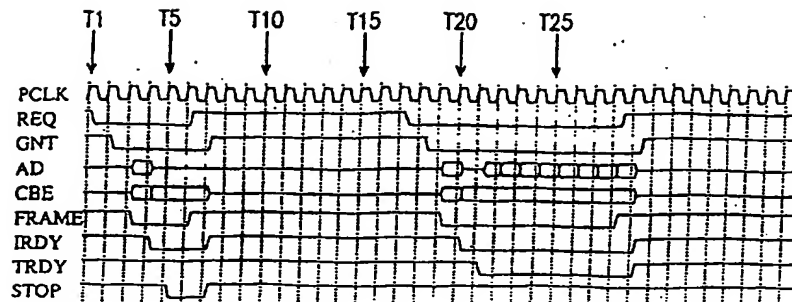
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 蔡 奇哲

台湾高雄縣仁武鎮竹後村水管路15巷144弄
39號